

MỤC LỤC

CHƯƠNG 1. GIỚI THIỆU VỀ VI MẠCH SỐ	1
1.1. Mở đầu	1
1.2 Mạch Logic CMOS	4
1.2.1 Cổng đảo (NOT)	4
1.2.2 Cổng NAND	5
1.2.3 Cổng logic CMOS	6
1.2.4 Cổng NOR	8
1.2.5 Cổng logic phức hợp – Compound gate	9
1.2.6 Transistor cho qua (Pass-Transistor) và cổng truyền (Transmission Gates)	10
1.2.7 Ba trạng thái	14
1.2.8 Mạch ghép kênh	18
1.2.9 Các mạch tuần tự	21
1.3. Layout và chế tạo CMOS	24
1.3.1 Mặt cắt của cổng đảo	24
1.3.2 Quy trình chế tạo	25
1.3.3 Các quy luật thiết kế Layout	30
1.3.4 Layout các cổng	32
1.3.5 Biểu đồ que (Stick Diagram)	33
1.4. Tóm tắt chương 1	36
Bài tập chương 1	37
CHƯƠNG 2. TRANSISTOR HIỆU ỨNG TRƯỜNG	41

2.1. Cấu tạo và hoạt động của MOSFET	41
2.2. Đặc tính I – V của MOSFET	46
2.2.1 Vùng ngưng dẫn	47
2.2.2 Vùng tuyến tính.....	47
2.2.3 Vùng bão hòa	51
2.3. Hiện tượng suy giảm độ dài kênh.....	51
2.4. Sự bão hòa vận tốc hạt tải.....	52
2.5. Các hiệu ứng liên quan đến điện thế ngưỡng	53
2.5.1 Hiệu ứng điện thế cực nền (Body Effect)	53
2.5.2 Hiện tượng giảm rào thế cảm ứng tại cực nguồn (Drain-Induced Barrier Lowering).....	55
2.5.3 Hot Carriers.....	55
2.6. Tính các tham số của MOSFET	56
2.7. Tóm tắt chương 2.....	60
Bài tập chương 2.....	62
CHƯƠNG 3. MÔ HÌNH MOSFET TRONG SPICE	65
3.1. Gợi thiệu về SPICE – Netlist.....	67
3.1.1 Các phần tử mạch điện cơ bản trong SPICE.....	67
3.1.2 Tập mô hình	69
3.1.3 Các tham số của MOSFET trong SPICE	70
3.2. Mô hình MOS mức 1	72
3.3. Mô hình mức 2, 3.....	74

3.4. Mô hình BSIM	75
3.5. Mô hình EKV	76
3.6. Mô hình điện dung của MOSFET	77
3.6.1 Điện dung liên quan đến lớp Ô-xít	77
3.6.2 Các điện dung mỗi nối.....	82
3.6.3 Mô hình điện dung trong SPICE	83
3.7. Giới thiệu về trích tham số mô hình MOSFET	84
3.8. Giới thiệu một số thuật toán tối ưu dùng rút trích tham số MOSFET	86
3.8.1 Thuật toán Levenberg – Marquardt.....	86
3.8.2 Giải thuật di truyền (Genetic Algorithm)	86
3.8.3 Thuật toán PSO.....	87
3.9. Tóm tắt chương 3	87
Bài tập chương 3	88
CHƯƠNG 4. SỰ TRÌ HOÃN TRONG MẠCH ĐIỆN	91
4.1. Một số định nghĩa	91
4.2. Mô hình trì hoãn RC	92
4.2.1 Điện trở hiệu dụng.....	92
4.2.2 Điện dung cực cổng, cực nguồn và cực máng.....	93
4.2.3 Mô hình tương đương RC của MOSFET	93
4.2.4 Đáp ứng quá độ của mạch điện (transient response)...	96
4.2.5 Trì hoãn Elmore.....	97
4.2.6 Sự phụ thuộc của điện dung vào Layout	102

4.2.7	Xác định điện trở hiệu dụng của Transistor	103
4.3.	Mô hình trì hoãn tuyến tính	104
4.3.1	Nỗ lực logic.....	108
4.3.2	Trì hoãn kí sinh (Parasitic Delay).....	109
4.3.3	Trì hoãn trong cổng logic	112
4.4.	Thiết kế mạch nhiều tầng	113
4.4.1	Trì hoãn của mạch logic nhiều tầng	113
4.4.2	Chọn số tầng của mạch điện.....	118
4.4.3	Tóm tắt phương pháp Logical Effort.....	121
4.5.	Tóm tắt chương 4	122
	Bài tập chương 4	123
	CHƯƠNG 5. CÔNG ĐẢO MOS: ĐẶC TÍNH TÍNH.....	128
5.1.	Giới thiệu	128
5.2.	Công đảo tải điện trở.....	136
5.3	Công đảo sử dụng tải MOSFET kênh	143
5.4.	Bài tập chương 5	152
	CHƯƠNG 6. THIẾT KẾ MẠCH LOGIC TỔ HỢP.....	154
6.1.	Giới thiệu	154
6.2.	Mạch CMOS tĩnh	156
6.2.1	Phương pháp “đẩy bong bóng”	156
6.2.2	Các cổng phức hợp (Compound Gates)	158

6.2.3	Trì hoãn do ảnh hưởng thứ tự tín hiệu vào	161
6.2.4	Các cổng logic bất đối xứng	162
6.2.5	Các cổng lệch (Skewed Gates)	163
6.2.6	Tỉ số P/N	165
6.2.7	Mạch nhiều thế ngưỡng	166
6.3.	Pseudo-NMOS	166
6.4.	Tóm tắt chương 6	167
	Bài tập chương 6	168
PHỤ LỤC A - Phương trình I - V và mạch mô phỏng MOSFET		170
PHỤ LỤC B - Hướng dẫn sử dụng phần mềm WinSPICE để mô phỏng mạch điện		172
TÀI LIỆU THAM KHẢO		181